

## PATENT ABSTRACTS OF JAPAN

(11)Publication number : 07-273610

(43)Date of publication of application : 20.10.1995

(51)Int.Cl.

H03K 3/3562  
H03K 3/0231

(21)Application number : 06-084053

(71)Applicant : NIPPON TELEGR & TELEPH CORP  
<NTT>

(22)Date of filing : 30.03.1994

(72)Inventor : OTSUJI TAII CHI

## (54) FLIP-FLOP CIRCUIT

## (57)Abstract:

**PURPOSE:** To attain a high speed operation by decreasing a current of a data latch differential logic circuit than a current of a data read differential logic circuit so as to reduce a logical level.

**CONSTITUTION:** Master and slave read differential pairs (comprising transistors(TRs) X1 and X2, X3 and X4) form respectively differential pairs with TRs X5, X6 in cascade connection and a TR X7 uses a current path in common. On the other hand, latch differential pairs use differential pairs with TRs XL5, XL6 in cascade connection and the TR X7 uses a current path in common. The size of TRs XLn (n=1-11) being components of the latch differential pairs is selected smaller than the size of TRs Xn (n=1-7) being components of the read differential pairs such that for example, the operating current of the latch differential pairs is reduced to nearly a half of the operating current of the read differential amplifier pairs.



(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開平 7 - 2 7 3 6 1 0

(43) 公開日 平成 7 年 (1995) 10 月 20 日

(51) Int. Cl.

H03K 3/3562

3/0231

識別記号

庁内整理番号

F 1

技術表示箇所

H03K 3/356

3/023

C

A

審査請求 未請求 請求項の数 1 F D (全 7 頁)

(21) 出願番号 特願平 6 - 8 4 0 5 3

(22) 出願日 平成 6 年 (1994) 3 月 30 日

(71) 出願人 0 0 0 0 0 4 2 2 6

日本電信電話株式会社

東京都千代田区内幸町一丁目 1 番 6 号

(72) 発明者 尾辻 泰一

東京都千代田区内幸町 1 丁目 1 番 6 号 日

本電信電話株式会社内

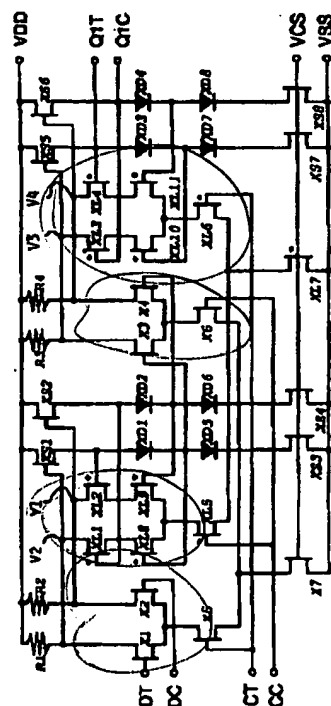
(74) 代理人 弁理士 長尾 常明

(54) 【発明の名称】 フリップフロップ回路

(57) 【要約】

【目的】 高速動作の可能なフリップフロップ回路を得る。

【構成】 データ読み出し用差動論理回路とデータ保持用差動論理回路の電流経路を分離するとともに、データ保持用差動論理回路の電流量をデータ読み出し用差動論理回路のそれより小さく設定し、且つデータ保持用差動論理回路の差動対にソース結合負帰還対を縦続接続した。



## 【特許請求の範囲】

【請求項 1】 データ読み出し用差動論理回路とデータ保持用差動論理回路とをマスタ側およびスレーブ側において各々有し、クロック信号入力に同期してデータ入力論理値を更新するマスタスレーブ型のフリップフロップにおいて、

上記データ読み出し用差動論理回路と上記データ保持用差動論理回路の電流経路を互いに分離するとともに、上記データ保持用差動論理回路の電流量を上記データ読み出し用差動論理回路のそれより小さく設定し、且つ上記データ保持用差動論理回路の差動対にソース結合又はエミッタ結合の負帰還対を縦続接続したことを特徴とするフリップフロップ回路。

## 【発明の詳細な説明】

## 【0001】

【産業上の利用分野】 本発明は、データ読み出し用差動論理回路とデータ保持用差動論理回路とをマスタ側およびスレーブ側において各々有し、クロック信号入力に同期してデータ入力論理値を更新するマスタスレーブ型のフリップフロップ回路に係り、特に一定の繰り返し周波数以上のクロック信号入力に対して動作する高速動作に適したフリップフロップ回路に関するものである。

## 【0002】

【従来の技術】 クロック信号入力に同期してデータ入力論理値を更新するフリップフロップ回路は、論理回路を構成するうえで不可欠な要素回路として、あらゆる半導体集積回路において使用されている。特に高速動作が必要な用途では、エミッタ結合論理回路 (ECL) やソース結合 FET 論理回路 (SCFL) などの論理回路が一般的に用いられる。

【0003】 このような差動型論理回路によるフリップフロップとして考案された代表的な従来の回路構成を図 3～図 5 に示す。この図 3～図 5 中で、 $R_n$  ( $n=1\sim 4$ ) は負荷抵抗、 $X T_n$  ( $n=1\sim 17, 20\sim 24$ )、 $X_n$  ( $n=1\sim 7$ )、 $X L_n$  ( $n=1\sim 7$ )、 $X S_n$  ( $n=1\sim 8$ ) は NchMOSFET トランジスタ、 $X D_n$  ( $n=1\sim 4$ ) はレベルシフト用のダイオード、 $D T$  は入力データ信号 (正転)、 $D C$  は入力データ信号 (反転)、 $C T$  はクロック信号 (正転)、 $C C$  はクロック信号 (反転)、 $Q 1 T$  は出力信号 (正転)、 $Q 1 C$  は出力信号 (反転)、 $V C S$  は電流源用トランジスタの電流を設定するバイアス電圧、 $V D D$  は高電位電源電圧、 $V S S$  は低電位電源電圧である。

【0004】 まず、図 3 は最も汎用的ないわゆるマスタスレーブ型フリップフロップ回路である。マスタとなる初段のフリップフロップ ( $X T 1\sim X T 11$ ) とスレーブとなる次段のフリップフロップ ( $X T 12\sim X T 24$ ) がクロック信号  $C T$ 、 $C C$  に応じて相反的に動作し、データ信号  $D T$ 、 $D C$  の保持/更新の動作が実現される。

【0005】 この回路では、マスタ側、スレーブ側のそれぞれにおいてデータ読み出し用差動対 ( $X T 1$  と  $X T 2$  の差動対、 $X T 12$  と  $X T 13$  の差動対) とデータ保持用差動対 ( $X T 4$  と  $X T 5$  の差動対、 $X T 15$  と  $X T 16$  の差動対) が、クロック信号  $C T$ 、 $C C$  の入力用の下段のトランジスタ  $X T 3$ 、 $X T 6$ 、 $X T 14$ 、 $X T 17$  を介してトランジスタ  $X T 7$ 、 $X T 20$  で電流切り替えされる構成となっており、したがって、データ読み出し用差動対とデータ保持用差動対のおおのの能動状態における電流量とは互いに等しくならざるを得ない。

【0006】 これに対して、図 4 に示すフリップフロップ回路では、データ読み出し用差動対 ( $X 1$  と  $X 2$  の差動対、 $X 3$  と  $X 4$  の差動対)、データ保持用差動対 ( $X L 1$  と  $X L 2$  の差動対、 $X L 3$  と  $X L 4$  の差動対) のそれぞれがクロック信号  $C T$ 、 $C C$  入力用のトランジスタ  $X 5$ 、 $X 6$ 、 $X L 5$ 、 $X L 6$  を介してトランジスタ  $X 7$ 、 $X L 7$  により、マスタ側とスレーブ側との間で電流切り替えを行なう構成となっている。

【0007】 これによって、データ読み出し用差動対とデータ保持用差動対のおおのの能動状態における電流量を個別に調整できるため、データ保持用差動対の電流量を必要最小限に絞ることによって、動作速度の向上が実現できる。この図 4 では、データ保持用差動論理回路を構成するトランジスタ  $X L_n$  ( $n=1\sim 7$ ) を電流量の小さい小サイズトランジスタとしている。

【0008】 ただし、この図 4 に示すフリップフロップ回路では、データ保持用差動対の電流量の削減に伴って、データ保持時間が縮小し、一定のクロック周波数以下では動作しない、いわゆるダイナミック動作となる。

【0009】 このダイナミック動作を前提とした代表的な回路構成が、図 5 に示すクロックドインバータ型のフリップフロップ回路である。この回路は、クロック制御付き差動型インバータ回路を 2 段縦続接続しており、両インバータのクロック入力を相補的に行なうことで、フリップフロップと等価な動作を実現できる。丁度、図 3 のマスタスレーブ型フリップフロップ回路のマスタ側、スレーブ側のデータ保持用差動対を除去した構成となっている。

【0010】 この図 5 に示すフリップフロップ回路では、データ保持時間はデータ信号のループ遅延時間程度に制約されていわゆるダイナミック動作となるものの、負荷抵抗  $R_n$  ( $n=1\sim 4$ ) の出力ノードに付加されるトランジスタの寄生容量が図 3 のフリップフロップ回路に比べて半減されるため、その分、高速動作が可能であり、各種の回路構成のなかで最も高速動作に適した回路構成とされている。

## 【0011】

【発明が解決しようとする課題】 しかしながら、さらなる高速化を実現する回路構成は他になく、図 5 の回路において、トランジスタのスイッチング速度が最速となる

ようなトランジスタのバイアス条件や信号振幅を設計するにとどまっていた。動作速度を向上するためには、論理ロー（低電位）／ハイ（高電位）レベル間の波形遷移時間の短縮化が不可欠であり、そのためには信号スルーレート（単位時間当たりの電圧レベルの変化量）の向上、もしくは信号論理振幅の低減が必要である。

【0012】ところが、従来回路構成を前提とする限りにおいては、信号スルーレートはトランジスタのゲート幅と相関があり、寄生容量と駆動力のトレードオフによってスルーレートが最高となるトランジスタサイズ、したがって信号振幅が存在し、信号振幅がそれより低減するとスルーレートの劣化をきたし波形遷移時間は逆に増大してしまう。したがって、信号スルーレートを改善もしくは維持しながら、論理振幅のさらなる低減化を図ることができなかった。

【0013】以上のように、従来のフリップフロップ回路においては、動作速度のさらなる向上に不可欠な信号スルーレートを改善もしくは維持しながら論理振幅を低減することが困難であった。

【0014】本発明の目的は、上記した問題を解決して信号スルーレートを劣化させることなく論理振幅を低減させ、もってより高速動作が可能となったフリップフロップ回路を提供することである。

【0015】

【課題を解決するための手段】上記した本発明の目的は、データ読み出し用差動論理回路とデータ保持用差動論理回路とをマスタ側およびスレーブ側において各々有し、クロック信号入力に同期してデータ入力論理値を更新するマスタスレーブ型のフリップフロップにおいて、上記データ読み出し用差動論理回路と上記データ保持用差動論理回路の電流経路を互いに分離するとともに、上記データ保持用差動論理回路の電流量を上記データ読み出し用差動論理回路のそれより小さく設定し、且つ上記データ保持用差動論理回路の差動対にソース結合又はエミッタ結合の負帰還対を縦続接続したことを特徴とするフリップフロップ回路によって達成される。

【0016】

【作用】本発明では、データ読み出し用差動論理回路とデータ保持用差動論理回路の電流経路を互いに分離するとともに、データ保持用差動論理回路の電流量をデータ読み出し用差動論理回路のそれより小さく設定することによって、読み出し動作時と保持動作時の論理振幅に格差を生ぜしめている。

【0017】そして、データ保持用差動論理回路の差動対にソース結合又はエミッタ結合の負帰還対を縦続接続することによって、保持動作の開始とともに保持用差動対のドレイン電位がデータ入力に応じて論理ローレベル又はハイレベルに移行しはじめるが、これと同時にソース結合又はエミッタ結合の負帰還対の負帰還作用によって両ドレイン電位を急峻に且つ強制的に論理中間レベル

に吸引せしめることが行なわれる。

【0018】これによって、スレーブ側のフリップフロップでは読み出し用差動論理回路の論理中間レベルが実効的な論理ローレベル、保持用差動論理回路の中間レベルが実効的な論理ハイレベルとなり、本来の論理振幅より小さい振幅で動作が実現できる。

【0019】加えて、本論理振幅の低減効果は、ソース結合又はエミッタ結合の負帰還対の負帰還作用によって、電流駆動力を低下させることなく得られるので、信号スルーレートの劣化を生じることがない。従って、信号スルーレートを劣化させることなく、従来以上に論理振幅を低減できるので、より高速な動作が可能となるのである。

【0020】

【実施例】図1は本発明の一実施例のフリップフロップ回路の回路図である。ここでは、NchMOSFETトランジスタによる回路構成を示している。トランジスタX1、X2、X5、X7でマスタ側の読み出し用差動論理回路が、X3、X4、X6、X7でスレーブ側の読み出し用差動論理回路が各々構成されている。電流源トランジスタX7は共通である。

【0021】トランジスタXL1、XL2、XL5、XL7がマスタ側の本来の保持用差動論理回路を構成するが、トランジスタXL1、XL2のソース端子とトランジスタXL5のドレイン端子との間にトランジスタXL8、XL9によるソース結合負帰還対がカスコード（縦続）接続され、これらにより保持用差動論理回路が構成されている。XD5、XD6はレベルシフト用ダイオードである。

【0022】同様に、トランジスタXL3、XL4、XL6、XL7がスレーブ側の本来の保持用差動論理回路を構成するが、トランジスタXL3、XL4のソース端子とトランジスタXL6のドレイン端子との間にトランジスタXL10、XL11によるソース結合負帰還対がカスコード接続され、これらにより保持用差動論理回路が構成されている。XD7、XD8はレベルシフト用ダイオードである。そして電流源トランジスタXL7はマスタ側、スレーブ側で共通である。

【0023】以上のように、ソース結合負帰還対（XL8、XL9、XL10、XL11）をカスコード接続した点とダイオードXD5、XD6、XD7、XD8を設けた点が従来の図4に示した回路との相違点である。

【0024】ここで、改めて、ソース結合負帰還対を含む差動対（XL1、XL2、XL8、XL9の差動対）をマスタ側の保持用差動対と呼び、（XL3、XL4、XL10、XL11の差動対）をスレーブ側の保持用差動対と呼ぶことにする。

【0025】さて、マスタ側とスレーブ側の読み出し用差動対（X1とX2、X3とX4）が、トランジスタX5とX6によって縦続的に差動対を形成し、トランジ

タX7によって電流経路を共通化している。一方、それら、この読み出し用差動対から独立して、上記したマスタ側とスレーブ側の保持用差動対がトランジスタXL5とXL6によって縦続的に差動対を構成し、トランジスタXL7によって電流経路を共通化している。

【0026】ここで、保持用差動対を構成するトランジスタXLn (n=1~11)のサイズは読み出し用差動対を構成するトランジスタXn (n=1~7)のそれより小さく、例えば、読み出し側差動対の動作電流量の1/2程度に低減している。マスタ側保持用差動対の出力とスレーブ側保持用差動対の出力には、従来構成(図4)と同様にソースフォロトランジスタXS1、XS2、XS5、XS6を設置している。

【0027】次に、図1のフリップフロップ回路の動作原理を図2に示したタイムチャートを用いて説明する。この図2では、回路動作が容易に理解できるように正常動作域より低いクロック周波数における動作波形を示している。

【0028】入力クロック信号CTがローからハイに遷移すると、トランジスタX5により、マスタ側の読み出し用差動対(X1とX2)がアクティブになり、マスタ側のドレイン出力電位V1、V2は入力データDT、DCに応じて相補的にハイレベルもしくはローレベルに遷移する。

【0029】次に、クロック信号CTがハイからローに遷移する(入力クロック信号CCがローからハイに遷移する)と、トランジスタXL5により、マスタ側の保持用差動対(XL1、XL2、XL8、XL9)がアクティブになり、ドレイン出力電位V1、V2は、トランジスタXS1、XS2を介して制御されるトランジスタXL1、XL2の正帰還作用によりその電位を保持する傾向を強めるが、ソース結合負帰還対(XL8、XL9)の負帰還作用によって、ともに保持用差動対の論理中央レベルに吸引される。

【0030】保持用差動対の動作電流量は上述したように読み出し用差動対の動作電流量より小さいため、保持用差動対の論理中央レベルは読み出し用差動対のそれより高電位になっていることに注意されたい。

【0031】そして、続くクロック周期では、入力データ信号DTが反転しており、クロック信号CTがローからハイに遷移すると、直前の読み出し周期とは逆極性でハイレベルもしくはローレベルに遷移する。

【0032】マスタ側フリップフロップのドレイン出力端子(V1、V2)ではこのように入力データ信号DTに応じた読み出し用論理ロー/ハイレベルと、保持用論理中央レベルとの遷移を繰り返す。

【0033】一方、スレーブ側フリップフロップの読み出し用差動対(X3、X4)がアクティブのときには、マスタ側フリップフロップの保持用差動対(XL1、XL2、XL8、XL9)がアクティブになっている。よ

って、このとき、スレーブ側フリップフロップのドレイン出力電位V3、V4は、ともに読み出し用差動対(X3、X4)の論理中央レベルに吸引される。

【0034】他方、スレーブ側フリップフロップの保持用差動対(XL3、XL4、XL10、XL11)がアクティブのときには、ソース結合帰還対XL10、XL11の作用によって、ドレイン出力電位V3、V4はともに保持用差動対(XL3、XL4、XL10、XL11)の論理中央レベルに吸引される。

【0035】したがって、スレーブ側フリップフロップのドレイン出力電位V3、V4は、読み出し用差動対(X3、X4)の論理中央レベルと保持用差動対(XL3、XL4、XL10、XL11)の論理中央レベルとの遷移を繰り返す。

【0036】このスレーブ側フリップフロップの読み出し用差動対の論理中央レベルと保持用差動対の論理中央レベルとの電位差が、本フリップフロップの実効的な論理振幅となり、ソース結合帰還対を用いない従来構成(図4)での本来の論理振幅に比べて、その論理振幅を小さくすることができるのである。

【0037】このスレーブ側フリップフロップの読み出し用差動対の論理中央レベルと保持用差動対の論理中央レベルとの遷移領域では、ドレイン出力電位V3、V4の間で遷移タイミングに若干のズレが以下の理由によって生じる。

【0038】すなわち、スレーブ側フリップフロップの読み出し用差動対がアクティブになろうとする時には、丁度マスタ側フリップフロップの保持用差動対もアクティブになろうとしているので、マスタ側フリップフロップのドレイン出力電位V1、V2にはデータ入力によって決まる読み出し用差動対の論理ロー/ハイレベル情報がまだ残っている(図2に矢印Aで示した。)

【0039】よって、スレーブ側フリップフロップの読み出し用差動対がアクティブになりはじめた時点では、ドレイン出力電位V3、V4はおおの論理ロー/ハイレベルへ遷移を開始する。その後、マスタ側フリップフロップの保持側差動対が完全なアクティブに移行するにつれて、急激にドレイン出力電位V3、V4はともに読み出し用差動対の論理中央レベルに吸引される。

【0040】その結果、ドレイン出力電位V3、V4にはマスタ側フリップフロップの保持用差動対からスレーブ側読み出し用差動対への動作移行期間にデータ入力情報が現れるのである。

【0041】かかる動作移行期間におけるドレイン出力電位V3の遷移速度は、ドレイン端子での電荷蓄積を放電する速度、したがって読み出し用差動対の電流駆動力で決まり、ドレイン出力電位V4の遷移速度はソース結合負帰還対による負帰還作用の速度で決まる。電流駆動力を落すことなく実効的な論理振幅を低減できるため、高速動作が可能となるのである。

【0042】それと同様の現象が、スレーブ側フリップフロップの保持用差動対がアクティブになろうとする時にも生じる。すなわち、スレーブ側フリップフロップの保持用差動対がアクティブになろうとする時には、丁度マスタ側フリップフロップの読み出し用差動対もアクティブになろうとしているので、マスタ側フリップフロップのドレイン出力電位 $V1$ 、 $V2$ にはデータ入力によって決まる読み出し用差動対の論理ロー/ハイレベル情報が現れ始める(図2に矢印Bで示す。)

【0043】よって、スレーブ側フリップフロップの保持用差動対がアクティブになりはじめた時点では、ドレイン出力電位 $V3$ 、 $V4$ は各々論理ロー/ハイレベルへ遷移を開始する。その後、スレーブ側フリップフロップの保持側差動対が完全なアクティブに移行するにつれて急激にドレイン出力電位 $V3$ 、 $V4$ はともに保持用差動対の論理中央レベルに吸引される。

【0044】その結果、ドレイン出力電位 $V3$ 、 $V4$ にはスレーブ側フリップフロップの読み出し用差動対から保持用差動対への動作移行期間にもデータ入力情報が現れるのである。

【0045】かかる動作移行期間におけるドレイン出力電位 $V3$ の遷移速度は、ソース結合負帰還対による負帰還作用の速度で決まり、ドレイン出力電位 $V4$ の遷移速度はドレイン端子での電荷蓄積を放電する速度、従って読み出し用差動対の電流駆動力で決まる。電流駆動力を落すことなく実効的な論理振幅を低減できるため、高速動作が可能となるのである。

【0046】以上の説明では、クロック周波数が十分低い場合であったので、ドレイン出力電位 $V3$ 、 $V4$ には論理中央レベルが生じている。クロック周波数が向上するにつれて、論理中央レベルの間が狭まり、やがて、論理中央レベルへ移行しないうちに次の遷移動作が生じるまでになる。ここからが、本フリップフロップ回路の正常動作領域である。その後、ドレイン出力電位の遷移速度で追従できなくなるクロック周波数が正常動作領域の上限となり、その両者の間のクロック周波数領域におい

て正常動作が可能となる。

【0047】同一性能のトランジスタを用いた場合、従来構成のクロックドインバータ型ダイナミックフリップフロップ回路(図5)に比べて、25%~30%程度の高速化が実現できる。

【0048】なお、上記実施例では、電界効果型トランジスタ(FET)による回路構成を用いて説明したが、バイポーラトランジスタを用いても同様の効果が得られることは勿論である。このときは、ソース結合負帰還対はエミッタ結合負帰還対となる。

【0049】

【発明の効果】以上の説明から明らかなように、本発明によれば、信号スループートを劣化させることなく、従来以上に論理振幅を低減することができ、より高速動作が可能なフリップフロップ回路を実現できる。

【図面の簡単な説明】

【図1】 本発明の一実施例のフリップフロップ回路の回路図である。

【図2】 本実施例のフリップフロップ回路の動作のタイムチャートである。

【図3】 従来のフリップフロップ回路の回路図である。

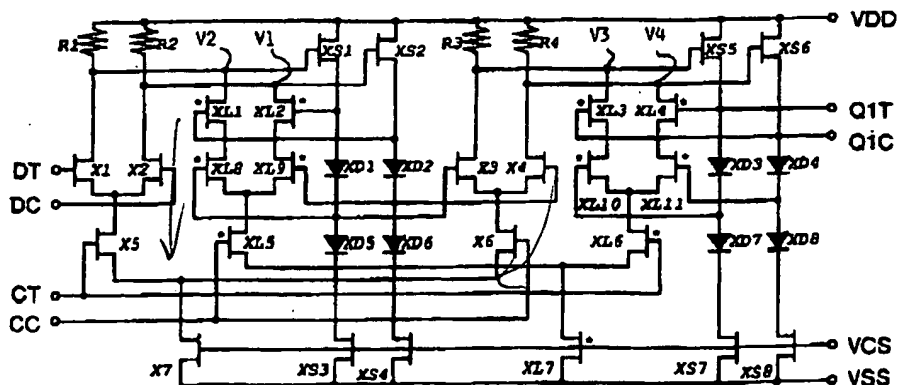
【図4】 従来の別の例のフリップフロップ回路の回路図である。

【図5】 従来のさらなる別の例のフリップフロップ回路の回路図である。

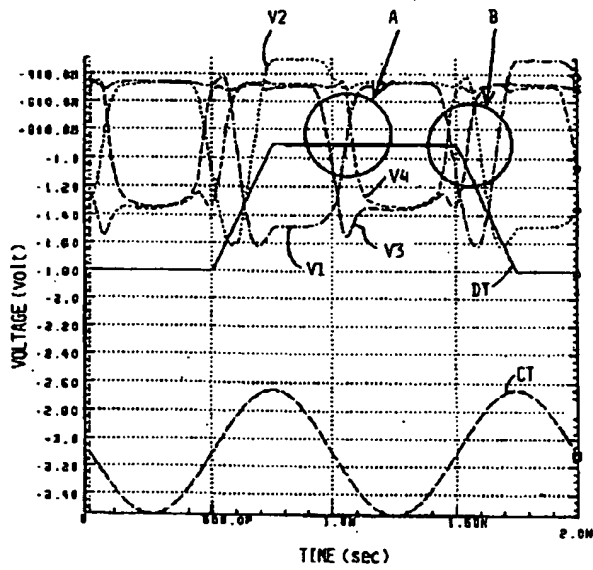
【符号の説明】

$Xn$  ( $n=1\sim7$ ): トランジスタ、 $XLn$  ( $n=1\sim11$ ): 小サイズトランジスタ、 $XS_n$  ( $n=1\sim8$ ): トランジスタ、 $DXn$  ( $n=1\sim8$ ): ダイオード、 $DT$ : 入力データ信号(正転)、 $DC$ : 入力データ信号(反転)、 $CT$ : クロック信号(正転)、 $CC$ : クロック信号(反転)、 $Q1T$ : 出力信号(正転)、 $Q1C$ : 出力信号(反転)、 $Vn$  ( $n=1\sim4$ ): ドレイン電圧、 $VCS$ : バイアス電圧、 $VDD$ : 高電位電源電圧、 $VSS$ : 低電位電源電圧。

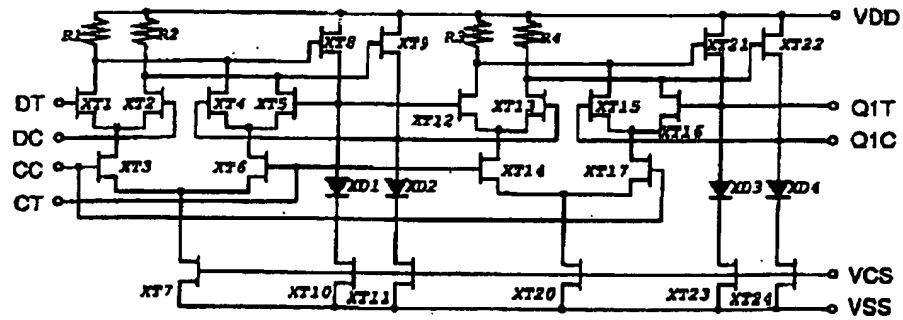
【図1】



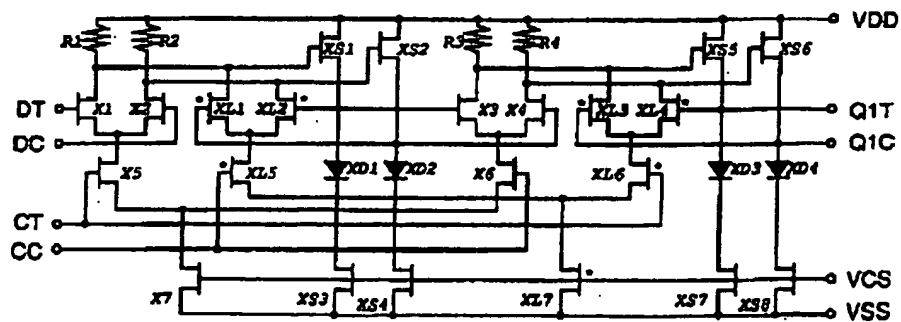
〔図 2〕



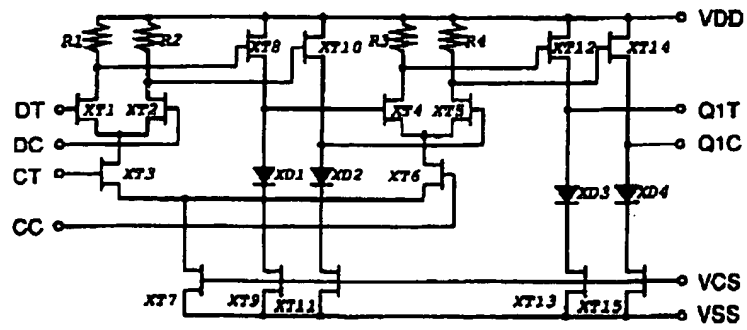
〔図 3〕



〔図 4〕



【図 5】





## \* NOTICES \*

JPO and NCIP are not responsible for any damages caused by the use of this translation.

1. This document has been translated by computer. So the translation may not reflect the original precisely.
2. \*\*\*\* shows the word which can not be translated.
3. In the drawings, any words are not translated.

---

## DETAILED DESCRIPTION

---

[Detailed Description of the Invention]

[0001]

[Industrial Application] This invention relates to the flip-flop circuit suitable for the high-speed operation which has respectively a differential logical circuit for data read-out, and a differential logical circuit for data-hold in a master side and a slave side, and starts the flip-flop circuit of the master slave mold which updates a data input logical value synchronizing with a clock signal input, especially operates to the clock signal input more than a fixed repeat frequency.

[0002]

[Description of the Prior Art] The flip-flop circuit which updates a data input logical value synchronizing with a clock signal input is used in all semiconductor integrated circuits as an indispensable element circuit, when a logical circuit is constituted. Generally for the application which needs especially high-speed operation, logical circuits, such as an emitter coupled logic circuit (ECL) and a source joint FET logical circuit (SCFL), are used.

[0003] The typical conventional circuitry devised as a flip-flop by such differential mold logical circuit is shown in drawing 3 - drawing 5.  $R_n$  ( $n=1-4$ ) in this drawing 3 - drawing 5 Load resistance,  $XT_n$  ( $n=1-17$ , 20-24),  $X_n$  ( $n=1-7$ ),  $XL_n$  ( $n=1-7$ ), and  $XS_n$  ( $n=1-8$ ) A NchMOSFET transistor, The diode for level shifts and DT  $XD_n$  ( $n=1-4$ ) An input data signal (normal rotation), DC a clock signal (normal rotation) and CC for an input data signal (reversal) and CT A clock signal (reversal), High potential supply voltage and VSS of the bias voltage to which an output signal (normal rotation) and Q1C set an output signal (reversal), and, as for VCS, Q1T set the current of the transistor for current sources, and VDD are low voltage supply voltage.

[0004] First, drawing 3 is the so-called general-purpose master slave mold flip-flop circuit. The flip-flop ( $XT_{12}$ - $XT_{24}$ ) of the next step used as the flip-flop ( $XT_1$ - $XT_{11}$ ) of the first rank used as a master and a slave operates reciprocally according to clock signals CT and CC, and actuation of the maintenance/renewal of data signals DT and DC is realized.

[0005] this circuit -- a master side and a slave side -- respectively -- alike -- setting -- the differential pair for data read-out (the differential pair of  $XT_1$  and  $XT_2$  --) the differential pair of  $XT_{12}$  and  $XT_{13}$ , and the differential pair for data-hold (the differential pair of  $XT_4$  and  $XT_5$  --) The differential pair of  $XT_{15}$  and  $XT_{16}$  has composition by which a current change is carried out with transistors  $XT_7$  and  $XT_{20}$  through the transistors  $XT_3$ ,  $XT_6$ ,  $XT_{14}$ , and  $XT_{17}$  of the lower berth for the input of clock signals CT and CC. Therefore, the amount of currents in each active state of the differential pair for data read-out and the differential pair for data-hold cannot but become equal mutually.

[0006] on the other hand, in the flip-flop circuit shown in drawing 4 The differential pair for data read-out (the differential pair of  $X_1$  and  $X_2$ , differential pair of  $X_3$  and  $X_4$ ), Each of the differential pair for data-hold (the differential pair of  $XL_1$  and  $XL_2$ , differential pair of  $XL_3$  and  $XL_4$ ) minds the transistors  $X_5$ ,  $X_6$ ,  $XL_5$ , and  $XL_6$  for clock signal CT and CC input. With transistors  $X_7$  and  $XL_7$  It has the composition of performing a current change between a master side and a slave side.

[0007] Since this can adjust the amount of currents in each active state of the differential pair for data

read-out, and the differential pair for data-hold according to an individual, improvement in a working speed is realizable by extracting the amount of currents of the differential pair for data-hold to necessary minimum. In this drawing 4, the transistor XLn ( $n=1-7$ ) which constitutes the differential logical circuit for data-hold is used as the small size transistor with the small amount of currents.

[0008] However, in the flip-flop circuit shown in this drawing 4, with reduction of the amount of currents of the differential pair for data-hold, a data maintain period contracts and it becomes the so-called dynamic operation which does not operate below with a fixed clock frequency.

[0009] The typical circuitry on condition of this dynamic operation is the flip-flop circuit of the clocked inverter mold shown in drawing 5. This circuit is carrying out two-step cascade connection of the differential mold inverter circuit with clock control, is performing clocked into of both inverters complementary, and can realize actuation equivalent to a flip-flop. Exactly, it has the composition of having removed the differential pair for data-hold of the master side of the master slave mold flip-flop circuit of drawing 3, and a slave side.

[0010] In the flip-flop circuit shown in this drawing 5, although it is restrained by loop-formation time delay extent of a data signal and becomes the so-called dynamic operation, since the parasitic capacitance of the transistor added to the output node of load resistance Rn ( $n=1-4$ ) is reduced by half compared with the flip-flop circuit of drawing 3, that part and high-speed operation are possible for a data maintain period, and let it be circuitry which was most suitable for high-speed operation in various kinds of circuitry.

[0011]

[Problem(s) to be Solved by the Invention] However, there is no other circuitry which realizes further improvement in the speed, and it remained for designing bias conditions and signal amplitude of a transistor from which the switching rate of a transistor serves as the fastest in the circuit of drawing 5. in order to improve a working speed -- logic low (low voltage)/-- yes (high potential), shortening of the wave transition time between level is indispensable, and, for that purpose, the signal logic amplitude needs the improvement in a signal slew rate (variation of the voltage level per unit time amount), or to be decreased.

[0012] However, conventionally, if a signal slew rate has the gate width of a transistor, and correlation in the limitation on condition of circuitry, the transistor size from which a slew rate serves as the highest by trade-off of parasitic capacitance and driving force, therefore signal amplitude exist and signal amplitude decreases from it, degradation of a slew rate will be caused and the wave transition time will increase conversely. Therefore, while the comb also maintained the improvement for the signal slew rate, it was not able to be said that further reduction-ization of the logic amplitude was attained.

[0013] As mentioned above, it was difficult to reduce the logic amplitude, having set to the conventional flip-flop circuit, and improving or maintaining a signal slew rate indispensable to the further improvement in a working speed.

[0014] The purpose of this invention is offering the flip-flop circuit whose high-speed operation's made reduce the logic amplitude, without solving the above-mentioned problem and degrading a signal slew rate, had, and became more possible.

[0015]

[Means for Solving the Problem] The purpose of above-mentioned this invention has respectively a differential logical circuit for data read-out, and a differential logical circuit for data-hold in a master side and a slave side. In the flip-flop of the master slave mold which updates a data input logical value synchronizing with a clock signal input, while separating mutually the current path of the above-mentioned differential logical circuit for data read-out, and the above-mentioned differential logical circuit for data-hold The amount of currents of the above-mentioned differential logical circuit for data-hold is set up smaller than that of the above-mentioned differential logical circuit for data read-out. And it is attained by the flip-flop circuit characterized by carrying out cascade connection of the negative feedback pair of source association or emitter junction to the differential pair of the above-mentioned differential logical circuit for data-hold.

[0016]

[Function] While separating mutually the current path of the differential logical circuit for data read-out, and the differential logical circuit for data-hold, the logic amplitude at the time of read-out actuation and maintenance actuation is made to produce a gap in this invention by setting up smaller than that of the differential logical circuit for data read-out the amount of currents of the differential logical circuit for data-hold.

[0017] And by carrying out cascade connection of the negative feedback pair of source association or emitter junction to the differential pair of the differential logical circuit for data-hold, with initiation of maintenance actuation, according to a data input, although it begins to shift high-level, a logic low level or making logic middle level attract both drain potential steeply and compulsorily are performed for the drain potential of the differential pair for maintenance to this and coincidence by the negative feedback operation of a negative feedback pair of source association or emitter junction.

[0018] By this, with the flip-flop of a slave side, a logic low level with the effectual logic middle level of the differential logical circuit for read-out and the middle level of the differential logical circuit for maintenance turn into effectual logic high level, and actuation can be realized at the amplitude smaller than the original logic amplitude.

[0019] In addition, since the reduction effectiveness of this logic amplitude is acquired according to the negative feedback operation of a negative feedback pair of source association or emitter junction, without reducing current driving force, it does not produce degradation of a signal slew rate. Therefore, since the logic amplitude can be reduced more than before, without degrading a signal slew rate, more nearly high-speed actuation is attained.

[0020]

[Example] Drawing 1 is the circuit diagram of the flip-flop circuit of one example of this invention.

Here, circuitry with a NchMOSFET transistor is shown. The differential logical circuit for read-out of a master side consists of transistors X1, X2, X5, and X7, and the differential logical circuit for read-out of a slave side consists of respectively X3, X4, X6, and X7. The current source transistor X7 is common.

[0021] Although transistors XL1, XL2, XL5, and XL7 constitute the original differential logical circuit for maintenance of a master side, cascode (concatenation) connection of the source joint negative feedback pair with transistors XL8 and XL9 is made between the source terminal of transistors XL1 and XL2, and the drain terminal of a transistor XL5, and the differential logical circuit for maintenance is constituted by these. XD5 and XD6 are the diodes for level shifts.

[0022] Similarly, although transistors XL3, XL4, XL6, and XL7 constitute the original differential logical circuit for maintenance of a slave side, cascode connection of the source joint negative feedback pair with transistors XL10 and XL11 is made between the source terminal of transistors XL3 and XL4, and the drain terminal of a transistor XL6, and the differential logical circuit for maintenance is constituted by these. XD7 and XD8 are the diodes for level shifts. And the current source transistor XL7 is common to a master side and a slave side.

[0023] As mentioned above, the point which made cascode connection of the source joint negative feedback pair (XL8, XL9, XL10, XL11), and the point of having formed diodes XD5, XD6, XD7, and XD8 are differences with the circuit shown in conventional drawing 4.

[0024] Here, the differential pair (differential pair of XL1, XL2, XL8, and XL9) containing a source joint feedback pair is anew made to call the differential pair for maintenance of a master side, and a call and (the differential pair of XL3, XL4, XL10, and XL11) the differential pair for maintenance of a slave side.

[0025] Now, the differential pair for read-out of a master side and a slave side (X1, and X2, X3 and X4) formed the differential pair in concatenation with transistors X5 and X6, and has communalized the current path with the transistor X7. On the other hand, the differential pair for maintenance of a master side and a slave side described above independently of the differential pair for these read-out of these constituted the differential pair in concatenation with transistors XL5 and XL6, and has communalized the current path with the transistor XL7.

[0026] Here, the size of the transistor XLn (n=1-11) which constitutes the differential pair for maintenance is reduced about [ of the amount of operating currents of a read-out side differential pair ]

to 1/2 smaller than that of the transistor  $X_n$  ( $n=1-7$ ) which constitutes the differential pair for read-out. The source follower transistors XS1, XS2, XS5, and XS6 are installed in the output of the differential pair for master side maintenance, and the output of the differential pair for slave side maintenance conventionally like a configuration ( drawing 4 ).

[0027] Next, the principle of operation of the flip-flop circuit of drawing 1 is explained using the timing diagram shown in drawing 2 . This drawing 2 shows the wave of operation in a clock frequency lower than a normal actuation region so that circuit actuation can understand easily.

[0028] If the input-clock signal CT changes from a low to a high, with a transistor X5, the differential pair for read-out of a master side (X1 and X2) will become active, and the drain output potentials V1 and V2 of a master side will change to high level or a low level complementary according to input data DT and DC.

[0029] next, clock signal CT -- yes -- since -- a low -- changing (the input-clock signal CC -- from a low -- yes, it being alike and changing) -- with a transistor XL5 Although the differential pair for maintenance of a master side (XL1, XL2, XL8, XL9) becomes active and the drain output potentials V1 and V2 strengthen the inclination to hold the potential according to a positive feedback operation of the transistors XL1 and XL2 controlled through transistors XS1 and XS2 It is drawn in by the logic central level of both the differential pair for maintenance according to a negative feedback operation of a source joint negative feedback pair (XL8, XL9).

[0030] As mentioned above, since it is smaller than the amount of operating currents of the differential pair for read-out, the amount of operating currents of the differential pair for maintenance should notice the logic central level of the differential pair for maintenance about having high potential from it of the differential pair for read-out.

[0031] And with the continuing clock period, if the input data signal DT is reversed and clock signal CT changes from a low to a high, with the last read-out period, it will change to high level or a low level with reversed polarity.

[0032] in the drain output terminal (V1, V2) of a master side flip-flop, the input data signal DT was embraced in this way -- reading -- business -- transition with a logic low / high level, and the logic central level for maintenance is repeated.

[0033] On the other hand, when the differential pair for read-out of a slave side flip-flop (X3, X4) is active, the differential pair for maintenance of a master side flip-flop (XL1, XL2, XL8, XL9) is active. Therefore, both the drain output potentials V3 and V4 of a slave side flip-flop are attracted by the logic central level of the differential pair for read-out (X3, X4) at this time.

[0034] on the other hand -- time the differential pair for maintenance of a slave side flip-flop (XL3, XL4, XL10, XL11) is active -- a source joint feedback pair -- both the drain output potentials V3 and V4 are attracted by the logic central level of the differential pair for maintenance (XL3, XL4, XL10, XL11) according to an operation of XL10 and XL11.

[0035] Therefore, the drain output potentials V3 and V4 of a slave side flip-flop repeat transition with the logic central level of the differential pair for read-out (X3, X4), and the logic central level of the differential pair for maintenance (XL3, XL4, XL10, XL11).

[0036] The potential difference of the logic central level of the differential pair for read-out of this slave side flip-flop and the logic central level of the differential pair for maintenance can serve as effectual logic amplitude of this flip-flop, and can make that logic amplitude small compared with the original logic amplitude in a configuration ( drawing 4 ) conventionally which does not use a source joint feedback pair.

[0037] In the transition region of the logic central level of the differential pair for read-out of this slave side flip-flop, and the logic central level of the differential pair for maintenance, some gap arises for the following reasons to transition timing among the drain output potentials V3 and V4.

[0038] That is, since the differential pair for maintenance of a master side flip-flop also tends to be active exactly when the differential pair for read-out of a slave side flip-flop tends to become active, the logic low / high-level information on the differential pair for read-out decided by the data input still remain in the drain output potentials V1 and V2 of a master side flip-flop (the arrow head A showed to

drawing 2 ).

[0039] Therefore, when the differential pair for read-out of a slave side flip-flop begins to become active, the drain output potentials V3 and V4 start transition to a logic low / high level respectively. then, the maintenance side differential pair of a master side flip-flop is perfect -- it shifts actively -- it is alike, it takes and both the drain output potentials V3 and V4 are rapidly attracted by the logic central level of the differential pair for read-out.

[0040] Consequently, in the drain output potentials V3 and V4, data input information appears at the transition period of operation from the differential pair for maintenance to the differential pair for slave side read-out of a master side flip-flop.

[0041] The transition rate of the drain output voltage V3 in this transition period of operation is decided with the rate which discharges the charge storage in a DOIREN terminal, therefore the current driving force of the differential pair for read-out, and the transition rate of the drain output potential V4 is decided at the rate of the negative feedback operation by the source joint negative feedback pair. Since the effectual logic amplitude can be reduced without dropping current driving force, high-speed operation becomes possible.

[0042] The same phenomenon as it arises, also when the differential pair for maintenance of a slave side flip-flop tends to become active. That is, since the differential pair for read-out of a master side flip-flop also tends to be active exactly when the differential pair for maintenance of a slave side flip-flop tends to become active, in the drain output potentials V1 and V2 of a master side flip-flop, the logic low / high-level information on the differential pair for read-out decided by the data input begin (an arrow head B shows to drawing 2 ) to appear.

[0043] Therefore, when the differential pair for maintenance of a slave side flip-flop begins to become active, the drain output potentials V3 and V4 start transition to a logic low / high level respectively. then, the maintenance side differential pair of a slave side flip-flop is perfect -- it shifts actively -- it is alike, it takes and both the drain output potentials V3 and V4 are rapidly attracted by the logic central level of the differential pair for maintenance.

[0044] Consequently, in the drain output potentials V3 and V4, data input information appears also at the transition period of operation from the differential pair for read-out to the differential pair for maintenance of a slave side flip-flop.

[0045] The transition rate of the drain output potential V3 in this transition period of operation is decided at the rate of the negative feedback operation by the source joint negative feedback pair, and the transition rate of the drain output potential V4 is decided with the rate which discharges the charge storage in a drain terminal, therefore the current driving force of the differential pair for read-out. Since the effectual logic amplitude can be reduced without dropping current driving force, high-speed operation becomes possible.

[0046] In the above explanation, since it was the case that a clock frequency was sufficiently low, logic central level has arisen in the drain output potentials V3 and V4. Narrowing, before shifting to logic central level, by the time the next transition actuation arises soon, between logic central level will become, as a clock frequency improves. It is the normal active region of the book flip-flop circuit from here. Then, the becoming clock frequency it becomes impossible that is followed at the transition rate of drain output potential serves as an upper limit of a normal active region, and the normal actuation of it is attained in the clock frequency field between the both.

[0047] When the transistor of identity ability is used, compared with the clocked inverter mold dynamic flip flop circuit ( drawing 5 ) of the conventional configuration, 25% - about 30% of improvement in the speed can be realized.

[0048] In addition, although the above-mentioned example explained using the circuitry by the field effect transistor (FET), even if it uses a bipolar transistor, of course, the same effectiveness is acquired. At this time, a source joint negative feedback pair turns into an emitter junction negative feedback pair.

[0049]

[Effect of the Invention] Without degrading a signal slew rate according to this invention so that clearly from the above explanation, the logic amplitude can be reduced more than before and the flip-flop

circuit in which high-speed operation is more possible can be realized.

---

[Translation done.]

\* NOTICES \*

JPO and NCIP are not responsible for any damages caused by the use of this translation.

1. This document has been translated by computer. So the translation may not reflect the original precisely.
2. \*\*\*\* shows the word which can not be translated.
3. In the drawings, any words are not translated.

---

PRIOR ART

---

[Description of the Prior Art] The flip-flop circuit which updates a data input logical value synchronizing with a clock signal input is used in all semiconductor integrated circuits as an indispensable element circuit, when a logical circuit is constituted. Generally for the application which needs especially high-speed operation, logical circuits, such as an emitter coupled logic circuit (ECL) and a source joint FET logical circuit (SCFL), are used.

[0003] The typical conventional circuitry devised as a flip-flop by such differential mold logical circuit is shown in drawing 3 - drawing 5.  $R_n$  ( $n=1-4$ ) in this drawing 3 - drawing 5 Load resistance,  $XT_n$  ( $n=1-17$ , 20-24),  $X_n$  ( $n=1-7$ ),  $XL_n$  ( $n=1-7$ ), and  $XS_n$  ( $n=1-8$ ) A NchMOSFET transistor, The diode for level shifts and DT  $XD_n$  ( $n=1-4$ ) An input data signal (normal rotation), DC a clock signal (normal rotation) and CC for an input data signal (reversal) and CT A clock signal (reversal), High potential supply voltage and VSS of the bias voltage to which an output signal (normal rotation) and Q1C set an output signal (reversal), and, as for VCS, Q1T set the current of the transistor for current sources, and VDD are low voltage supply voltage.

[0004] First, drawing 3 is the so-called general-purpose master slave mold flip-flop circuit. The flip-flop ( $XT_{12}-XT_{24}$ ) of the next step used as the flip-flop ( $XT_1-XT_{11}$ ) of the first rank used as a master and a slave operates reciprocally according to clock signals CT and CC, and actuation of the maintenance/renewal of data signals DT and DC is realized.

[0005] this circuit -- a master side and a slave side -- respectively -- alike -- setting -- the differential pair for data read-out (the differential pair of  $XT_1$  and  $XT_2$  --) the differential pair of  $XT_{12}$  and  $XT_{13}$ , and the differential pair for data-hold (the differential pair of  $XT_4$  and  $XT_5$  --) The differential pair of  $XT_{15}$  and  $XT_{16}$  has composition by which a current change is carried out with transistors  $XT_7$  and  $XT_{20}$  through the transistors  $XT_3$ ,  $XT_6$ ,  $XT_{14}$ , and  $XT_{17}$  of the lower berth for the input of clock signals CT and CC. Therefore, the amount of currents in each active state of the differential pair for data read-out and the differential pair for data-hold cannot but become equal mutually.

[0006] on the other hand, in the flip-flop circuit shown in drawing 4 The differential pair for data read-out (the differential pair of  $X_1$  and  $X_2$ , differential pair of  $X_3$  and  $X_4$ ), Each of the differential pair for data-hold (the differential pair of  $XL_1$  and  $XL_2$ , differential pair of  $XL_3$  and  $XL_4$ ) minds the transistors  $X_5$ ,  $X_6$ ,  $XL_5$ , and  $XL_6$  for clock signal CT and CC input. With transistors  $X_7$  and  $XL_7$  It has the composition of performing a current change between a master side and a slave side.

[0007] Since this can adjust the amount of currents in each active state of the differential pair for data read-out, and the differential pair for data-hold according to an individual, improvement in a working speed is realizable by extracting the amount of currents of the differential pair for data-hold to necessary minimum. In this drawing 4, the transistor  $XL_n$  ( $n=1-7$ ) which constitutes the differential logical circuit for data-hold is used as the small size transistor with the small amount of currents.

[0008] However, in the flip-flop circuit shown in this drawing 4, with reduction of the amount of currents of the differential pair for data-hold, a data maintain period contracts and it becomes the so-called dynamic operation which does not operate below with a fixed clock frequency.

[0009] The typical circuitry on condition of this dynamic operation is the flip-flop circuit of the clocked

inverter mold shown in drawing 5 . This circuit is carrying out two-step cascade connection of the differential mold inverter circuit with clock control, is performing clocked into of both inverters complementary, and can realize actuation equivalent to a flip-flop. Exactly, it has the composition of having removed the differential pair for data-hold of the master side of the master slave mold flip-flop circuit of drawing 3 , and a slave side.

[0010] In the flip-flop circuit shown in this drawing 5 , although it is restrained by loop-formation time delay extent of a data signal and becomes the so-called dynamic operation, since the parasitic capacitance of the transistor added to the output node of load resistance  $R_n$  ( $n=1-4$ ) is reduced by half compared with the flip-flop circuit of drawing 3 , that part and high-speed operation are possible for a data maintain period, and let it be circuitry which was most suitable for high-speed operation in various kinds of circuitry.

---

[Translation done.]